

DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

008503347 **Image available**

WPI Acc No: 1991-007431/199101

Related WPI Acc No: 1992-268858; 1992-268916

XRPX Acc No: N91-005830

Semiconductor device e.g. MOSFET for computer - has at least two second gate electrodes connected to first gate electrode by capacitive coupling

Patent Assignee: SHIBATA T (SHIB-I); NOMURA T (NOMU-I); SHIBATA N (SHIB-I); OHMI T (OHMI-I)

Inventor: OHMI T; SHIBATA T; TADAHIRO O; TADASHI S

Number of Countries: 015 Number of Patents: 015

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9015444	A	19901213			199101 B	
JP 3006679	A	19910114	JP 89141463	A	19890602	199108
EP 516847	A1	19921209	EP 90908684	A	19900601	199250
		WO 90JP714	A	19900601		
US 5258657	A	19931102	WO 90JP714	A	19900601	199345
		US 92777352	A	19920106		
EP 739041	A2	19961023	EP 90908684	A	19900601	199647
		EP 96110650	A	19900601		
EP 739041	A3	19961106	EP 90908684	A	19900601	199651
		EP 96110650	A	19900601		
US 5594372	A	19970114	US 92777352	A	19920106	199709
		US 9360362	A	19930511		
		US 9387675	A	19931013		
		US 95511495	A	19950804		
US 5608340	A	19970304	US 92777352	A	19920106	199715
		US 9360362	A	19930511		
US 5621336	A	19970415	US 92777352	A	19920106	199721
		US 9360362	A	19930511		
		US 9387742	A	19931013		
		US 95488405	A	19950607		
JP 9237307	A	19970909	JP 89141463	A	19890602	199746
		JP 96323560	A	19890602		
EP 516847	B1	19971229	EP 90908684	A	19900601	199805
		WO 90JP714	A	19900601		
		EP 96110650	A	19900601		
DE 69031870	E	19980205	DE 631870	A	19900601	199811
		EP 90908684	A	19900601		
		WO 90JP714	A	19900601		
JP 11260943	A	19990924	JP 96323560	A	19890602	199951 N
		JP 994654	A	19890602		
EP 739041	B1	20031001	EP 90908684	A	19900601	200365
		EP 96110650	A	19900601		
DE 69034105	E	20031106	DE 634105	A	19900601	200381
		EP 96110650	A	19900601		

Priority Applications (No Type Date): JP 89141463 A 19890602; JP 9113780 A 19910112; JP 91188147 A 19910702; JP 96323560 A 19890602; JP 994654 A 19890602

Cited Patents: JP 56076559; JP 59175770; 3.Jnl.Ref; JP 60117783

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

WO 9015444 A

Designated States (National): US

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU NL SE

EP 516847 A1 E 37 H01L-029/788 Based on patent WO 9015444

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU NL SE

US 5258657 A 24 H03K-019/08 Based on patent WO 9015444

EP 739041 A2 E 36 H01L-029/788 Div ex application EP 90908684

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU NL SE

EP 739041 A3 Div ex application EP 90908684

US 5594372 A 30 H03K-019/0948 Cont of application US 92777352

CIP of application US 9360362

Cont of application US 9387675

Cont of patent US 5258657

Cont of patent US 5469085

US 5608340 A 23 H03K-019/23 Cont of application US 92777352

Cont of patent US 5258657

US 5621336 A 61 H03K-019/23 Cont of application US 92777352

CIP of application US 9360362

Cont of application US 9387742

Cont of patent US 5258657

JP 9237307 A 19 G06G-007/60 Div ex application JP 89141463

EP 516847 B1 E 37 H01L-029/788 Related to application EP 96110650

Related to patent EP 739041

Based on patent WO 9015444

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU NL SE

DE 69031870 E H01L-029/788 Based on patent EP 516847

Based on patent WO 9015444

JP 11260943 A 20 H01L-021/8247 Div ex application JP 96323560

EP 739041 B1 E H01L-029/788 Div ex application EP 90908684

Div ex patent EP 516847

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU NL SE

DE 69034105 E H01L-029/788 Based on patent EP 739041

Abstract (Basic): WO 9015444 A

The semiconductor device comprises on a substrate a semiconductor region of one conductivity type, a source and drain regions of the opposite conductivity type formed in the above region and a gate electrode formed in a region separating the source and drain regions. The gate electrode is electrically floated through an insulating film. At least two second gate electrodes are connected to the first gate electrode by capacitive coupling. An inverted layer is formed under the first gate electrode.

The source and drain regions are electrically connected together only when a predetermined threshold value is exceeded by an absolute value of a value obtained by linearly summing up the weighed voltages applied to the second gate electrodes. (64pp Dwg.No.1a/20)

Abstract (Equivalent): EP 516847 B

The semiconductor device comprises on a substrate a semiconductor region of one conductivity type, a source and drain regions of the opposite conductivity type formed in the above region and a gate electrode formed in a region separating the source and drain regions. The gate electrode is electrically floated through an insulating film. At least two second gate electrodes are connected to the first gate electrode by capacitive coupling. An inverted layer is formed under the first gate electrode.

The source and drain regions are electrically connected together

only when a predetermined threshold value is exceeded by an absolute value of a value obtained by linearly summing up the weighed voltages applied to the second gate electrodes. (64pp Dwg.No.1a/20)

Dwg.1a/37

Abstract (Equivalent): US 5621336 A

A semiconductor-device comprising: a neuron element comprising a first semiconductor region on a substrate, a first source region and a first drain region of opposite conductivity type to that of said first semiconductor region formed in said first semiconductor region, a first floating gate electrode formed over the region separating said first source region and said first drain region over a first insulating film, a plurality of first input gate electrodes capacitively coupled with said first floating gate electrode through a second insulating film; and a first MOS type transistor, wherein the source electrode of said first MOS type transistor is connected to one of said first input gate electrodes and one of the gate electrode and the drain electrode of said first MOS type transistor is connected to a first interconnect which transfers a two-level voltage signal.

Dwg.21a/34

US 5608340 A

An integrated circuit having at least a first semiconductor device and a second semiconductor device,

said first semiconductor device comprising at least four electrodes, wherein the current flowing in a P-type semiconductor region through a first electrode and a second electrode is controlled by a third electrode and the way of controlling the current is controlled by a fourth electrode in such a manner that a positive increment in the voltage given to said third or said fourth electrode results in an increase in said current flowing in said P-type semiconductor region through said first and said second electrodes,

said second semiconductor device comprising at least four electrodes wherein the current flowing in an N-type semiconductor region through a first electrode and a second electrode is controlled by a third electrode and the way of controlling the current is controlled by the fourth electrode in such a manner that a positive increment in the voltage given to said third or said fourth electrode results in a decrease in said current flowing in said N-type semiconductor region through said first and said second electrodes of said second semiconductor device,

said first electrode of said first semiconductor device being connected to said first electrode of said second semiconductor device.

Dwg.9/20C

US 5594372 A

A source follower circuit comprising:

an NMOS transistor having a source and a floating gate;

a PMOS transistor having a source and a floating gate;

the source of said NMOS transistor connected to both the source of said PMOS transistor and to an output terminal;

the floating gate of said NMOS transistor connected to the floating gate of said PMOS transistor; and

a plurality of input gates respectively capacitively coupled to said respective floating gates of said NMOS transistor and PMOS transistor and respectively connected to a plurality of input terminals.

Dwg.30/31

US 5258657 A

The semiconductor device comprises on a substrate a first semiconductor region of one conductive type, first source and drain regions of the opposite conductive type formed in the semiconductor region and a first gate electrode formed in a region separating the source and drain regions. The first gate electrode is electrically floating through an insulating film. At least two second gate electrodes are connected to the first gate electrode by capacitive coupling.

An inversion layer is formed under the first gate electrode. The first source and drain regions are electrically connected together only when a predetermined threshold value is exceeded by the absolute value of a value obtained by linearly summing up the weighted voltages applied to the second gate electrodes.

ADVANTAGE - Semiconductor realises function of one neuron with single element and neuron computer chip having high integration density and low power dissipation characteristics.

Dwg. 15/20

Title Terms: SEMICONDUCTOR; DEVICE; MOSFET; COMPUTER; TWO; SECOND; GATE; ELECTRODE; CONNECT; FIRST; GATE; ELECTRODE; CAPACITANCE; COUPLE

Derwent Class: T01; T02; U12; U13; U14; U21

International Patent Class (Main): G06G-007/60; H01L-021/8247; H01L-029/788; H03K-019/08; H03K-019/0948; H03K-019/23

International Patent Class (Additional): G06F-015/18; H01L-021/3205; H01L-021/8234; H01L-021/8238; H01L-027/08; H01L-027/088; H01L-027/092; H01L-029/66; H01L-029/78; H01L-029/792; H03K-019/094

File Segment: EPI

Manual Codes (EPI/S-X): U12-D02A1

?

⑫ 公開特許公報(A) 平3-6679

⑤Int. Cl.³ 識別記号 庁内整理番号 ④公開 平成3年(1991)1月14日
 G 06 G 7/60 6745-5B
 H 01 L 27/088 8225-5F
 // G 06 F 29/66 6745-5B
 15/18 7735-5F H 01 L 27/08 1 0 2 Z
 審査請求 未請求 請求項の数 10 (全22頁)

④発明の名称 半導体装置

②特 願 平1-141463

②出 願 平1(1989)6月2日

⑦発 明 者 柴 田 直 宮城県仙台市太白区長町字越路19-1393 コープ野村八木山公園1番館412号

⑦発 明 者 大 見 忠 弘 宮城県仙台市青葉区米ヶ袋2-1-17-301

⑦出 願 人 柴 田 直 宮城県仙台市太白区長町字越路19-1393 コープ野村八木山公園1番館412号

⑦代 理 人 弁理士 福森 久夫

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 基板上に一導電型の第1の半導体領域を有し、この領域内に設けられた反対導電型の第1のソース及びドレイン領域を有し、前記ソース、ドレイン領域を隔てる領域に絶縁膜を介して設けられた電位的にフローティング状態にある第1のゲート電極を有し、前記ゲート電極と容量結合する少なくとも2個以上の第2のゲート電極を有し、前記第2のゲート電極の各々に印加した電圧に所定の重みをかけて線形加算した値の絶対値が所定の閾値より大となった場合にのみ前記第1のゲート電極下に反転層が形成され、前記第1のソース及びドレイン領域間が電気的に接続されるよう構成されたことを特徴とする半導体装置。

(2) 前記基板上に、前記第1の半導体領域と反対導電型の第2の半導体領域を有し、この第2の半導体領域内に設けられた前記第1の半導体領域

と同じ導電型を有する第2のソース及びドレイン領域を有し、前記第1のゲート電極の少なくとも一部が前記第2のソース及びドレイン領域を隔てる領域に絶縁膜を介して設けられたことを特徴とする請求項1記載の半導体装置。

(3) 前記第1のドレイン領域が、負荷素子を介して電源ラインに接続されていることを特徴とする請求項1記載の半導体装置。

(4) 前記第1のドレイン領域が電源ラインに接続され、前記第1のソース領域が負荷素子を介して接地ラインに接続されていることを特徴とする請求項1記載の半導体装置。

(5) 前記第1のゲート電極と、前記第1のソース領域間の電位差の絶対値が、略々0Vとなったときに、前記反転層が消失するよう構成されたことを特徴とする請求項4記載の半導体装置。

(6) 前記第2のゲートに印加された電圧の重みをかけた線形加算を行う際の重みの大きさを、前記第2のゲート電極と前記第1のゲート電極のオーバーラップする面積の大きさにより決定した

ことを特徴とする請求項1ないし請求項5記載の半導体装置。

(7) 前記第2のゲート電極が n 個($n \geq 2$)設けられ、第 i 番目($i = 1 \sim n$)の第2のゲート電極と前記第1のゲート電極との間の容量結合係数を C_i としたとき、 $C_i = 2^{i-1} \times C_1$ ($i = 1 \sim n$)の関係が略々満足されるよう構成されたことを特徴とする請求項1ないし請求項6記載の半導体装置。

(8) 入力電圧に対し、所定の係数を乗じた電圧を出力する回路を複数個有し、前記回路の出力が前記第2のゲート電極に接続されたことを特徴とする請求項1ないし請求項5記載の半導体装置。

(9) 前記第2のゲート電極と前記第1のゲート電極との間の容量結合係数が、すべての第2のゲート電極に対し、略々等しい値に設定されたことを特徴とする請求項8記載の半導体装置。

(10) 前記第2のゲート電極の少なくとも1つの電極に所定の電位を与えることにより、前記反転

層を形成するため前記所定の閾値を所望の値に随時変更できるよう構成したことを特徴とする請求項1ないし請求項5、請求項8または請求項9記載の半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体装置に係わり、特に神経回路コンピュータや多値論理集積回路等の高機能半導体集積回路装置を提供するものである。

[従来の技術と発明が解決しようとする課題]

半導体集積回路技術の進展は実に驚くべき速度で進んでおり、例えばダイナミック・メモリを例にとるなら、1メガビットから4メガビットがすでに量産体制にあり、16メガビット、64メガビットといった超々高密度メモリも研究レベルでは実現されつつある。64メガビットメモリは、せいぜい1cm四方のシリコンチップ上に実に約1億2000万個ものMOSトランジスタが集積されている。このような超高集積化技術はメモリ回路ばかりでなく論理回路にも応用され、32

ビットから64ビットのCPUをはじめとする、様々な高機能論理集積回路が開発されている。

しかし、これらの論理回路はデジタル信号、即ち「1」と「0」という2値の信号を用いて演算を行う方式を採用しており、例えばコンピュータを構成する場合は、ノイマン方式といって、あらかじめ決められたプログラムに従って1つ1つ命令を実行していく方式である。このような方式では、単純な数値計算に対しては非常に高速な演算が可能であるが、パタン認識や画像の処理といった演算には膨大な時間を要する。さらに、連想、記憶、学習といったいわば人間が最も得意とする情報処理に対しては非常に不得手であり、現在様々なソフトウェア技術の研究開発が行われているが、はかばかしい成果は得られていないのが現状である。

そこで、これらの困難を一挙に解決するため、生物の脳の機能を研究し、その機能を模倣した演算処理の行えるコンピュータ、即ち神経回路コンピュータ(ニューロコンピュータ)を開発しよう

というまた別の流れの研究がある。このような研究は、1940年代より始まっているが、ここ数年非常に活発に研究が展開されるようになった。それはLSI技術の進歩にともない、このようなニューロコンピュータのハードウェア化が可能となったことによる。

しかしながら、現状の半導体LSI技術ではまだまだ大きな壁があり、実用化のメドはほとんどたっていない状況である。もう少し具体的に説明するなら、例えば人間の神経細胞(ニューロン)1個の機能をハードウェア化するためには、多数の半導体素子を組合わせて回路を構成する必要がある。半導体チップ上に実用的な数のニューロンを集積することが非常に困難だからである。そこで本発明の主眼点は、たった1つのMOS型半導体素子によって、1個のニューロンの機能を実現することのできる半導体装置を提供するものである。本発明の詳細な説明に移る前に、まず1つのニューロンに要求される機能は何であるかを、また、これを現状技術で実現しようとするればどのよ

うな困難が生じるかについて次に説明する。

第19図は、1つの神経細胞、即ち1個のニューロンの機能を説明する図面であり、1943年にMcCullockとPitts (Bull. Math. Biophys. Vol.5, p.115(1943))により数学的モデルとして提案されたものである。現在もこのモデルを半導体回路で実現し、ニューロコンピュータを構成する研究が盛んに進められている。 $V_1, V_2, V_3, \dots, V_n$ は、例えば電圧の大きさとして定義される n 個の入力信号であり、他のニューロンから伝達された信号に相等している。 $W_1, W_2, W_3, \dots, W_n$ はニューロン同士の結合の強さを表す係数で、生物学的にはシナプス結合と呼ばれるものである。このニューロンの機能は単純であり、各入力 V_i に重み W_i ($i=1 \sim n$)をかけて線形加算した値 Z が、ある所定の閾値 V_{TH}^* より大となったときに「1」を出力し、また閾値より小のときに「0」を出力するという動作である。これを数式で表せば、

$$V_o = -R \sum_{i=1}^n (V_i / R_i)$$

となる。 I_o は、 $-V_o / R$ で与えられるから、 I_o と I_i は大きさが等しく($I_o = I_i$)、流れの方向が逆となる。従って、

$$Z = R \sum_{i=1}^n \frac{V_i}{R_i} = \sum_{i=1}^n \left(\frac{R}{R_i} \right) V_i \quad \dots (4)$$

ここで、式(1)、(4)を比較すると、重み係数 W_i は $W_i = R / R_i$ となり、抵抗の大きさによって決められることになる。つまり、第20図(a)の回路は、電流の加算により、入力信号の線形加算した電圧を発生する回路である。次に、第20図(b)は、 Z の値を V_o に変換するための回路の一例であり、オペアンプ102-3の非反転入力端子に接続されている。オペアンプは、電圧増幅率(ゲイン)の非常に大きなアンプだから、 $Z > E_o$ で、 $V_o = V^+$ 、 $Z < E_o$ では $V_o = V^-$ となり、第20図(c)のような特性を示す。ここで、 V^+ 、 V^- はそれぞれオペアンプに供給されている電源電圧によって決まる

$$Z = \sum_{i=1}^n W_i V_i \quad \dots (1)$$

として、

$$V_{out} = \begin{cases} 1 & (Z > V_{TH}^*) \\ 0 & (Z < V_{TH}^*) \end{cases} \quad \dots (2)$$

となる。

第19図(b)は、 Z と V_o の関係を表したものであり、 Z が V_{TH}^* より十分大きいときは1、十分小さいときは0を出力している。

さて、このような機能を従来の半導体技術で実現した場合の回路の一例を第20図に示す。図において102-1、102-2、102-3は演算増幅器(オペアンプ)である。第20図(a)は、入力信号 V_i ($i=1 \sim n$)に重み W_i をかけて加算し Z を求める回路である。 R_i に流れる電流を I_i とすると、 $I_i = V_i / R_i$ となるから、

$$I_o = \sum_{i=1}^n (V_i / R_i)$$

となり、オペアンプ102-1の出力電圧 V_o は、

出力の最大値及び最小値である。反転入力端に印加する電圧 E_o の値を変化させることにより、 V_{TH}^* を変化させることが可能である。

第20図(a)、(b)の回路の問題点の1つは、1つのニューロンを構成するのに数多くの半導体素子を必要とすることである。図の回路では3個のオペアンプが使用されているが、通常1個のオペアンプを構成するには、トランジスタが少なくとも10個程度が必要であり、図の回路では全部で30個もトランジスタを使用することになる。また、電流を基本として加算演算を行うため、常に大量の電流が流れ消費電力が大きくなる。つまり、1つのニューロンはチップ上に大きな面積を占めるばかりでなく、大きなパワーを消費するのである。従って、高積化が困難なばかりでなく、たとえトランジスタ1個1個を微細化して高集化できたとしても、消費電力密度が大きくなり、実用的な集積回路を構成することは、ほとんど不可能である。

そこで本発明は、このような問題点を解決する

ためになされたものであり、単一の素子でニューロン1個の機能が実現でき、高集積度、低消費電力のニューロン・コンピュータチップを実現することのできる半導体装置を提供するものである。

〔課題を解決するための手段〕

本発明の半導体装置は、フローティング状態にあるゲート電極を有するMOS型半導体素子において、前記ゲート電極と容量結合する複数個の入力ゲート電極を有し、これらの入力ゲート電極に印加された入力電圧に所定の重みをかけて加算した値の絶対値が所定の閾値より大となった場合にのみ、前記フローティング状態にあるゲート電極下にチャネルが形成されるよう構成されていることを特徴とする。

〔作用〕

本半導体装置は、1個の素子によってニューロンの機能を実現することができるため、ニューロン素子の超高集積化が可能である。

さらに、消費電力を従来技術に比較して大幅に

107、108はそれぞれ、例えばAsイオンを注入することにより形成されたソース及びドレインであり、109、110は、それぞれソース及びドレインに接続されたA₂配線である。この本発明による半導体装置は、ゲート電極105-1～105-4に加えられた電圧V₁、V₂、V₃、V₄に所定の重みをかけた線形加算値がある閾値を超えた時に、Si基板表面111に反転層、即ちチャネルが形成され、ソースとドレインが導通状態になる機能を有している。このデバイスが以上に述べたような電圧の線形加算機能を有することを次に詳しく説明する。

今、第1図(a)のデバイスを第1図(b)のように一般化したモデルで考える。201はフローティングゲートを表し、第1図(a)の103に相等する。202-1、202-2、202-3、…、202-nは第1図(a)の4個のコントロールゲート105-1、105-2、105-3、105-4がn個ある場合に一般化して表したものであり、C₁、C₂、C₃、

減少可能となったため、初めてニューロン回路が実用的なレベルで実現できるようになったのである。

〔実施例〕

(第1実施例)

第1図は、本発明の第1実施例を示す半導体装置の断面図である。

P型Si基板101上にゲート酸化膜102を介して、例えばN⁺のポリシリコンで形成されたゲート電極103が設けられている。このゲート電極はまわりを完全にSiO₂等の絶縁膜104で覆われているため、電気的にはフローティング状態にある。

105-1～105-4は、例えばN⁺ポリシリコンで形成された入力ゲート電極であり、フローティングゲート103とは、例えば、SiO₂等の絶縁膜106で隔てられている。これらの入力ゲート電極の電位はA₂配線106-1～106-4によって供給される電圧により決定されるようになっている。

…、C_nは各ゲートとフローティングゲート201の間の容量結合係数(キャパシタンス)を表したものである。C₀はフローティングゲートと基板101との間の容量である。今、フローティングゲートの電位をV_F、入力ゲートに印加される電圧をV₁、V₂、V₃、…、V_n、基板の電位をV₀とする。また、C₀、C₁、C₂、…、C_n等のキャパシタンスに蓄えられる電荷をそれぞれQ₀、Q₁、Q₂、…、Q_nとすると、Q₀=C₀(V₀-V_F)、Q₁=C₁(V₁-V_F)、Q₂=C₂(V₂-V_F)、…、Q_n=C_n(V_n-V_F)となる。

ここで、フローティングゲート内の全電荷量をQ_Fとすると、

$$\begin{aligned} Q_F &= \sum_{i=0}^n (-Q_i) \\ &= -\sum_{i=0}^n C_i (V_i - V_F) \\ &= -\sum_{i=0}^n C_i V_i + V_F \sum_{i=0}^n C_i \end{aligned}$$

となる。

従って、 V_f は次式で求められる。

$$V_f = \frac{\sum_{i=0}^n C_i V_i + Q_f}{C_{TOT}} \quad \dots (1)$$

ここで、

$$C_{TOT} = \sum_{i=0}^n C_i$$

である。ここで第1図(a)のデバイスを、フローティングゲート103をゲート電極とするMOSFETとみなしたときの閾電圧を V_{TH} とする。つまり、ゲート103が V_{TH} ボルトとなったときに、基板表面111にチャネルが形成されるとする。(1)式において $V_f > V_{TH}$ とくと、

$$Z = \sum_{i=1}^n W_i V_i > V_{TH} - \frac{C_0}{C_{TOT}} V_0 - \frac{Q_f}{C_{TOT}} \quad \dots (2)$$

が得られる。ここで、

$$W_i = \frac{C_i}{C_{TOT}}$$

である。(2)式は、ゲート202-1、202

トランジスタ、略して ν (ニュー)MOSと呼んでいる。

第1図(c)は、 ν MOSを表す略記号であり、Sはソース、Dはドレイン、 G_1 、 G_2 、 G_3 、 G_4 はそれぞれ入力ゲートを表している。

今、第1図(c)の記号を用いて表したニューロ素子の構成を第1図(d)に示す。これは本実施例の変形例である。 ν MOSのドレイン121が負荷素子122を介して電源ライン(V_{DD})に接続されている。この回路では、 $Z = W_1 V_1 + W_2 V_2 + W_3 V_3 + W_4 V_4$ としたとき、 V_{OUT} とZの関係は第1図(e)に破線で示したようになる。また、 V_{OUT} を一般のインバータ123を通すと、出力 V_{OUT2} は同図に実線で示したようになる。つまり、この簡単な回路によって、第19図(a)に示したニューロン1個の機能が実現されているのである。第1図(d)の回路を、従来例を示す第20図(a)、(b)と比較すれば本発明の絶大な効果は明らかである。即

-2、202-3、...、202-nへの入力電圧に各々重み W_1 、 W_2 、...、 W_n を掛けて加算した値を意味し、この値が、

$$V_{TH}^* = V_{TH} - \frac{C_0}{C_{TOT}} V_0 - \frac{Q_f}{C_{TOT}} \quad \dots (3)$$

で与えられる V_{TH}^* より大となったときに第1図(a)のデバイスはオンしてソース・ドレインが導通するのである。通常基板はアースするので $V_0 = 0$ であり、フローティングゲート中に存在する電荷の総和は0であるから、

$$V_{TH}^* = V_{TH} \quad \dots (4)$$

である。

以上のように、本発明による半導体装置は、入力に重みをかけて線形加算を行い、その結果を閾値 V_{TH} と比較して、MOSトランジスタのオン、オフ状態を制御する機能を有していることが分る。つまり、単体素子のレベルで高度な演算機能を持つ全く新しいトランジスタであり、これはこれから示すようにニューロン・コンピュータ構成に非常に適した素子であるため、ニューロMOS

ち、従来例では、1個のニューロンを構成するのに少なくとも30個程度のバイポーラトランジスタを必要としたのに対し、本発明ではたった2個のMOSトランジスタで実現されていることである。チップ上に占める面積を1ケタ以上小さくすることが可能であり、超高集積化ははじめて可能となったのである。さらに従来例では、電流の加算性を利用して電圧の加算を行っており、電流の大量に流れるバイポーラトランジスタを用いて回路を構成していたため消費電力が非常に大きかった。しかるに本発明では、たった2個のMOSトランジスタで構成されているため、ほとんど電力を消費しない。MOSは、そもそも電圧制御型デバイスであり、わずかな電荷量によって、そのオン・オフ状態の制御ができるため消費電力が少ない。加えて、電圧入力をそのまま加算できる機能を有した ν MOSを用いているため、第20図(a)で行ったように電圧を一度電流に変換して加算する必要が全くない回路構成になっており、本質的に低消費電力動作が可能なニューロンであ

る。以上に述べた高集積性、低消費電力という2つの特徴により、はじめてニューロコンピュータ用回路が実用的なレベルで実現可能となったのである。

第1図(f)は、第1図(a)に示した本発明の第1実施例である ν MOSの平面図であり、図中の番号は第1図(a)の番号と対応している。107、108はソース及びドレイン、105-1~105-4は4個の入力ゲート、103はフローティングゲートであり、X-X'での断面は第1図(a)に相当している。ただしここでは、図面を見易くするため絶縁膜104、アルミニウム配線109、110、106-1~106-4等は省略してある。これらは適宜必要な場所に設ければよい。

第1図(g)は、第1図(f)のY-Y'断面を示す図で、やはり図面に付した番号は共通である。ここで112は素子間分離のフィールド酸化膜である。

さて、ここで具体的な素子の設け方の例につい

$$Z = 0.13V_1 + 0.18V_2 + 0.089V_3 + 0.13V_4 \quad \dots (5)$$

と表される。 $V_3 = 0$ で、且つ、フローティングゲート内に電荷の注入はないとすると(4)式より V_{TH} は約1.0Vとなり、例えば入力 $V_1 = 0V$ 、 $V_2 = 5V$ 、 $V_3 = 5V$ 、 $V_4 = 5V$ の場合は、 $Z = 2.0V$ となり、第1図(d)の V_{out} は5Vとなる。また、 $V_1 = 0V$ 、 $V_2 = 0V$ 、 $V_3 = 5V$ 、 $V_4 = 0V$ のときは $Z = 0.45V$ となり、 V_{out} は、約0V(低レベル)となる。ここでは例として、入力として0V又は5Vの場合のみについて説明したが、入力が0Vと5Vの中間の値、あるいは負の値であってもよいことはもちろん言うまでもない。また、 V_{out} をこのニューロンの出力として用いる場合について説明したが、例えばその反転出力 V_{out} をそのまま出力として用いてもよい。

(第2実施例)

第1図(a)、(f)、(g)に示した本発明の第1実施例は、第1図(f)より明らかなよう

て述べておく。例えば、第1図(a)、(f)、(g)の実施例では、P型基板として(100)面で抵抗値 $0.5\Omega \cdot \text{cm}$ のものを、ゲート酸化膜(SiO_2)の厚さを500Å、フローティングゲートと入力ゲート間の絶縁膜(SiO_2)の厚さを500Å、フローティングゲートとチャネル形成領域の重なり部分を $3\mu\text{m} \times 3.5\mu\text{m}$ 、フローティングゲート103と入力ゲート105-1、105-2、105-3、105-4とのそれぞれの重なり部分の大きさを、 $4\mu\text{m} \times 0.75\mu\text{m}$ 、 $4\mu\text{m} \times 1.0\mu\text{m}$ 、 $4\mu\text{m} \times 0.5\mu\text{m}$ 、 $4\mu\text{m} \times 0.75\mu\text{m}$ として設計されている。フィールド酸化膜112は約1 μm と厚いので、フィールド酸化膜を間にはさんだ部分でのフローティングゲート103と基板101、あるいはコントロールゲート105と基板101の間の容量は小さく無視することができる。以上のデータをもとに計算すると $C_0 : C_1 : C_2 : C_3 : C_4 = 10 : 5 : 3 : 4 : 2 : 3$ となり、

に入力ゲートをチャネル方向(X-X'の方向)に並べているため、必然的に ν MOSのチャネル長が長くなってしまふ。このことは、高速動作を実現する上では、不利である。そこで第2図に基づき、 ν MOSのショートチャネル化を可能にした本発明の第2実施例を説明する。第2図(a)は平面図であり第2図(b)、(c)はそれぞれX-X'及びY-Y'における断面構造を模式的に表したものである。第2図(a)では簡単のため、A₂配線及びA₂配線下の層間絶縁膜は省略されている。図において201は、例えばP型Si基板、207、208はそれぞれソース及びドレイン、202はゲート酸化膜、203はフローティングゲート、205-1~205-4はそれぞれ入力ゲート、206-1~206-4は入力ゲートに接続されたA₂配線、209、210はそれぞれソース及びドレインに接続されたA₂配線、206はフローティングゲートと入力ゲート間の絶縁膜、204はA₂配線下の絶縁膜である。さて、この ν MOSで、例えばフローティン

グゲートとチャネル形成領域の重なり部分の面積を $1\mu\text{m} \times 4\mu\text{m}$ 、フローティングゲートと入力ゲート 205-1、205-2、205-3、205-4 との重なり部分の面積をそれぞれ $1\mu\text{m} \times 0.75\mu\text{m}$ 、 $1\mu\text{m} \times 1\mu\text{m}$ 、 $1\mu\text{m} \times 0.5\mu\text{m}$ 、 $1\mu\text{m} \times 0.75\mu\text{m}$ と設計し、その他のパラメータは第1図(a)と同様とする、

$$Z = 0.107 V_1 + 0.143 V_2 + 0.071 V_3 + 0.107 V_4 \quad \dots (6)$$

となる。ここで V_1 、 V_2 、 V_3 、 V_4 はそれぞれ入力ゲート 205-1、205-2、205-3、205-4 に加えられる入力電圧を表している。例えば、このトランジスタを用いて第1図(d)のような回路を構成したとすると、 $V_1 = 5\text{V}$ 、 $V_2 = 5$ 、 $V_3 = 0\text{V}$ 、 $V_4 = 5\text{V}$ の場合は、 $Z = 1.78$ となり、 V_{out} は、5V が出力され、また、 $V_1 = 0$ 、 $V_2 = 0$ 、 $V_3 = 5\text{V}$ 、 $V_4 = 5$ のときには、 $Z = 0.99\text{V}$ となり、 V_{out} には約 0V が出力され、ニューロン動作を

は、高誘電率材料、例えば Ta_2O_5 等を用いればよい。この場合、 SiO_2 を用いた場合に比較して、同じ面積で約 5 倍の大きさの重み可以实现できる。さらに、これら絶縁膜の膜厚を変えることによっても容量、すなわち重み係数を変えることができる。

(第3実施例)

以上述べた本発明の第1、第2実施例では、入力にかける重み係数 ($W_1 \sim W_4$) は、 NMOS の構造で決まり、素子形成後には変更することができない。これらの重み係数を自由に變更できるようにしたニューロンが、第3図にブロック図で示されており、これが本発明の第3実施例である。301 は1つのニューロン素子であり、例えば第1図(d)のような構成を用いた回路で構成されている。もちろんこのニューロン素子は、後の第4図、第5図、第6図、第8図等で説明する本発明のその他の実施例で実現されるニューロン素子を用いてもよい。302-1、302-2、…、302-n はそれぞれ入力信号電圧 V_1 、

行い得ることは明らかである。

上記第1及び第2実施例では、入力電圧に乗じる重みが、入力ゲートとフローティングゲートの重なり部分の容量 C_i ($i = 1 \sim 4$) と全容量、

$$C_{TOT} = \sum_{i=1}^4 C_i$$

との比で決められている。つまり入力ゲートとフローティングゲートの重なり面積を変化することで重みを自由にかえることが可能である。あるいは、入力ゲート、フローティングゲート間の絶縁物の種類をかえ、その誘電率の違いによって容量をかえてもよい。例えば絶縁物として、 SiO_2 、 Si_3N_4 、 Al_2O_3 等を用いると、重なり部分の面積を同一としても、その容量の大きさの比は、約 1 : 2 : 2.3 となる。もちろん重なり部分の面積を同時に変化させることにより、さらに大きな比を実現することができる。特に小さな重なり面積で大きな容量結合係数を得たい場合、即ち、入力ゲートとの結合を表す重み係数 W_i ($i = 1 \sim 4$) を特に大きくしたい場合

V_2 、…、 V_n に、重み W_1 、 W_2 、 W_3 、…、 W_n を掛け算した値を出力する回路である。例えば、302-1 を例にとって説明すると、この回路は少なくとも3つの端子 303、304、305 を有しており、303 は信号電圧の入力端子である。304 は出力端子であり、入力電圧 V_1 に重み W_1 を掛け算した結果 $W_1 V_1$ を出力する。第3の端子 305 は、制御信号 X_1 の入力端子であり、この X_1 の大きさによって重み W_1 の大きさを変化できるようになっている。すなわち、この回路構成によってニューロン素子 301 への入力信号にかかる重みは、自由に変化させることができるのである。これは、ニューロンコンピュータを実現する上で非常に重要である。なぜなら、実際の生体で行われている情報処理では、この重み係数を刻々変化させることにより演算を行っているのである。つまり演算結果に基づいて、この重みを順次変化させることにより、認識、連想、学習といった高度な情報処理を生体は実現しているのである。即ち、第3図の構成は、

ニューロンコンピュータ構成の最も基本となるものである。なお、302-1、302-2、…、302-n等の重み掛け算回路の具体的な構成については後程詳しく説明する。

第3図の構成では、入力信号への重みづけは重み掛け算回路で行われるため、301のデバイスでは、例えば第1図、第2図に示したように入力ゲートとフローティングゲートの重なり面積を変化させて重みをかえる必要がない。つまり、すべて同じ重なり面積でデバイスを設計することが可能であり、デバイスの汎用性が大きくなる。もちろん、面積、あるいは間にはさむ絶縁膜の種類や膜厚等をかえて、重み掛け算回路と両方で信号にかかる重み係数を決定してもよい。

第4図～第6図は、重なり面積を一定とした様々なMOSの構造を示した本発明の第4～第6実施例を説明する図面である。

(第4実施例、第5実施例)

第4図の実施例は、第2実施例(第2図)において、入力ゲート205-1～205-4相互の

あり、この図においてA₂配線の簡単化のため省略されている。本実施例の特徴は、フローティングゲート504と、入力ゲート505の結合がフィールド酸化膜上で行われている点である。この構成では、フローティングゲートとシリコン基板との重なり面積とは関係なく、各入力ゲートとフローティングゲート間のオーバーラップ面積が決定できる。つまり、MOSトランジスタ部分とフローティングゲートと入力ゲートの結合部分を分離独立して設計できるため素子設計の自由度が非常に大きくなる。例えば、

$$C_1 + C_2 + C_3 + C_4 > C_0$$

と設計してやれば、

$$C_{TOT} \approx C_1 + C_2 + C_3 + C_4$$

となり、

$$W_1 + W_2 + W_3 + W_4 \approx 1 \quad \dots (7)$$

とできる。第1、第2の実施例では、 $W_1 + W_2 + W_3 + W_4$ の値は、それぞれ0.529及び0.428であり、1よりは小さい。つまり、本実施例では、各重み係数の値を大きくすることが

間隔を小さく、より素子の微細化を可能とした例である。即ち、第2図(c)において、各入力ゲート間の間隔は、リソグラフィー工程の解像力の限界によって規定されるが、第4図の実施例では各入力ゲートは互いに重ね合わせて設置されており、隣接する入力ゲートの間隔は絶縁膜402の厚さに等しい。この構造を実現するには、例えばフローティングゲート403形成後、その表面に熱酸化膜404等の絶縁薄膜を形成し、その上にまず入力ゲート401-1、401-3、401-5を形成する。次いで、これらの入力ゲート表面に絶縁膜を形成した後、再び入力ゲート401-2、401-4を形成するのである。なお、図において405、406、407はそれぞれP型Si基板、フィールド酸化膜及びA₂配線である。

第5図は本発明の第5実施例を示す図であり、(a)はその平面図、(b)はX-X'における断面図である。501はフィールド酸化膜の領域、502、503はソース及びドレイン領域でできるのである。

また、式(3)より式(4)を導くに際し、基板の電位 V_s を0Vと仮定した。これは、近似的には正しいが厳密な意味では正しくない。その理由は、例えば第1図(a)で半導体基板表面111にチャネルが形成されると、チャネルの電位はソース端で0Vとなり、ドレイン108に向うに従ってドレイン電位に徐々に近づいて行く。もちろん、大きな電位変化はドレイン近傍でのみ生じるのでチャネル電位を全体として略々0Vと仮定してもよかつたのである。しかし、トランジスタがショートチャネル化されれば、やはり誤差が生じる。また、シリコン表面111にチャネルが形成されている場合には、 C_0 (フローティングゲートと基板Si間の容量結合係数)は C_{ox} (ゲート酸化膜の容量で $C_{ox} = \epsilon_r S / t_{ox}$ となる。ここで、 ϵ_r は真空の誘電率、 ϵ_r はSiO₂の比誘電率、Sはチャネルの面積である)とほぼ等しい。しかし、チャネルが消失している場合にはシリコン表面には空乏層が形成され

ており、 C_0 は C_{ox} と空乏層容量 C_d の値より接続したもの、即ち $C_0 = (1/C_{ox} + 1/C_d)^{-1}$ に等しい。ここで、 $C_0 = \epsilon_0 \epsilon_r' S/W$ であり、 ϵ_r' はSiの比誘電率、 W は空乏層の厚さである。 W はフローティングゲートと基板間の電位差により変化するため C_0 も変化することになる。従って(3)式における $C_0 V_0$ は一定値をとるのではなく、デバイスの動作条件によって変化し得る値である。つまり、(3)式で与えられる閾値 V_{TH}^* はこれに従って変化するのである。通常この変化は、 V_{TH}^* の大きさにくらべて小さいため、余り大きな問題とはならないが、デバイス動作により高い精度を要求するならば、 V_{TH}^* は変動しないことが望ましい。しかるに、本発明第5実施例では、 $C_0 < C_{TOT}$ とできるため、(3)式の第2項は、十分小さな値とすることが可能であり、この V_{TH} の変動の問題は解決することができるのである。

(第6実施例)

第6図は本発明の第6実施例を示す断面図で

うな回路を構成すると、その入力に対して V_{OUT} が0Vから V_{DD} に変化する際の閾値の値 V_{TH}^* が制御ゲートへの入力電圧によって可変となるのである。即ち、ニューロン動作の閾値を可変とでき、ニューロン・コンピュータ構成がよりフレキシブルに行えるようになるのである。しかしこのような閾値可変の機能は、第6図の構造に限ったことではない。第1図、第2図、第4図、第5図のいずれの場合においても、入力ゲートの1つを制御ゲートとみなしてやれば同様の機能が実現できるのである。

(3)式において、 $Q_F \neq 0$ の場合は(8)式は、

$$V_{TH}^* = V_{TH} - \frac{C_c}{C_{TOT}} V_c - \frac{Q_F}{C_{TOT}} \quad \dots (9)$$

となる。 $V_c = 0$ として、このデバイスを働かせるとすると、

$$V_{TH}^* = V_{TH} - \frac{Q_F}{C_{TOT}} \quad \dots (10)$$

となる。今、 $Q_F = 0$ の状態にあると仮定しよ

あり、601は例えばP型Si基板、602はフィールド酸化膜、603はフローティングゲート、604は4つの入力ゲートである。この実施例の特徴は、さらにもう1つの制御ゲート605を設けたところにあり、制御ゲートはフローティングゲートの下部に絶縁膜606を介して設置されている。今、フローティングゲートと制御ゲート605の間の容量結合係数を C_c と表し、 $C_{TOT} = C_1 + C_2 + C_3 + C_4 + C_c$ ($C_1 \sim C_4$ は4つの入力ゲートとフローティングゲート間の容量結合係数)は、 C_0 にくらべて十分大きく、 $C_0/C_{TOT} \approx 0$ とみなせるとする。そうすると(3)式は

$$V_{TH}^* = V_{TH} - \frac{C_c}{C_{TOT}} V_c \quad \dots (8)$$

となる。ここで、 V_c はコントロールゲートの電位であり、 $Q_F = 0$ と仮定した。(8)式は、 V_{TH}^* の値を V_c の値でコントロールできることを示している。即ち、本発明の第6実施例である、第6図のVMOSを用いて第1図(d)のよ

う。そうすれば当然 $V_{TH}^* = V_{TH}$ である。次に、例えば $V_c = 0$ の状態、入力ゲート604のすべてに+20Vを印加したとする($V_1 = V_2 = V_3 = V_4 = 20V$)。ここで例えば、 $(C_1 + C_2 + C_3 + C_4) : C_c = 4 : 1$ と設計されていたとすると、 $V_F = 16V$ となる。チャネル部のゲート酸化膜607の膜厚を、例えば100Åとすると、ゲート酸化膜には16Vの電圧がかかることになり、この電圧によって酸化膜中を電子が流れてフローティングゲート中への電子の注入がおこる。その結果、 $Q_F < 0$ となり、(10)式により $V_{TH}^* = V_{TH} + |Q_F|/C_{TOT}$ となり、電子注入前にくらべて $|Q_F|/C_{TOT}$ だけ V_{TH}^* が大きくなる。この時、各入力ゲートに加える電圧をコントロールすることにより V_{TH}^* の変化量をコントロールできる。例えば、 $V_1 = V_2 = V_3 = V_4$ にして20Vから変化させてもよいし、各々違う値をとってもよい。また逆に、 $V_1 = V_2 = V_3 = V_4 = -20V$ としてやれば、電子が放出され、 $Q_F > 0$ となる。このとき

は、

$$V_{TH}^* = V_{TH} - \frac{Q_f}{C_{TOT}}$$

となって注入前よりも、閾値が低くなる。電子の放出は、例えば $V_1 = V_2 = V_3 = V_4 = 0V$ として $V_c = -2.0V$ としても同様に行うことができる。

以上述べたように、 ν MOSにおいてはフローティングゲート603の電位をコントロールし、絶縁膜を通しての電子の注入・放出等を行うことにより、フローティングゲート内の電荷量を制御し、(10)式に従って、ニューロン素子の閾値を変化させることができるのである。この方式により V_{TH}^* を制御してやれば、その値は次の注入・放出を行うまでは不変である。つまり、回路の電源を切っても V_{TH}^* の値は記憶されるのである。

第6図で説明した例では、ゲート酸化膜を通して電子の注入・放出を行う場合について述べたが、これは他の部分で行わせてもよい。例えば、

として、抵抗122を用いているが、これは抵抗以外の素子でもよい。その例を第7図(a)、(b)に示す。

第7図(a)は、NチャネルディプレッションモードMOSトランジスタ701を用いたものであり、同図(b)は、Nチャネルエンハンスメントモードトランジスタ702をそれぞれ負荷として用いた例である。第1図、第2図、第4図、第5図、第6図、第7図等は、P型基板上にNチャネルの ν MOSを形成する場合について説明したが、N型基板上にPチャネルの ν MOSを形成する場合も全く同様の機能が実現されることはいまでもない。

(第7実施例)

以上、本発明の ν MOSを用いたニューロン素子の形成方法として、第1図(d)及び第7図(a)、(b)等の構成について説明したが、これらの構成の1つの問題は、 ν MOS124、703、704が導通状態となったとき、 V_{DD} からアースに直流電流が流れることである。特に、

フローティングゲートと制御ゲート605の間の酸化膜606、あるいはフローティングゲートと入力ゲート604の間の酸化膜608のいずれかで行わせてもよい。あるいは、これらの酸化膜607、606、608の一部のみに膜厚の薄い部分を形成し、その部分で注入・放出を行わせてもよい。また、第6図では制御電極605と入力ゲート604に、それぞれ異なる値の電圧を加えることで注入・放出を制御したが、これは入力ゲート同士に異なる値の電圧を加えて行ってもよい。即ち、605の如き特別な制御ゲートは不要であり、例えば第1図、第2図、第4図、第5図に示した例で、各々の入力ゲートに加える電圧を制御して行ってもよいことは明白である。いずれにせよ、通常のスイッチング動作では注入・放出が生じてはならないので、注入・放出動作時にはスイッチング動作時より高い電圧が必要となる。

本発明の ν MOSを用いたニューロン素子は、例えば第1図(d)のような回路構成で実現できる。ここでは ν MOS124に接続する負荷素子

同図のようにNMOSのインバータと組合わせた場合には、 V_{DD2} のHIGH、LOWのいずれの状態に対しても、必ずどちらかのパスに貫通電流が流れることとなり、消費電力低減の観点からは望ましくない結果となる。また、 $Z > V_{TH}^*$ のときは、 V_{DD1} には、low levelがでる訳であるが、これは完全な0Vではなく、 $V_{DD} \times R_{ON} / (R_{ON} + R_L)$ となる。ここで、 R_{ON} は ν MOSのON抵抗、 R_L は負荷素子の抵抗値である。通常、 $R_{ON} < R_L$ と設計するため、ほぼ出力電圧は0に近くなるが、望ましくは完全に0Vの出力されるのがよい。以上の要請に答えられるようにしたのが本発明の第7実施例である。

第8図(a)は、本発明の第7実施例を示す平面図であり、第8図(b)は第8図(a)のX-X'における断面図である。

801はP型基板803上に形成したNチャネル型の ν MOSであり、802はN型基板804上に形成したPチャネル型の ν MOSである。805は、フローティングゲートであり、P型基

板803及びN型基板各々の上にゲート絶縁膜806、807を介して設けられている。808-1、808-2、808-3、808-4は各々4つの入力ゲートである。809、810はそれぞれN⁺のソース及びドレイン、811、812はそれぞれP⁺のソース及びドレインである。813、814、815はA₂配線であり、813はV_{ss}（アース）電位に、814はV_{DD}（正の電源電圧、例えば5V）に接続されている。なお、815はフィールド酸化膜であり、816はA₂配線下の絶縁膜であり、817、817'、817''、817'''は絶縁膜816に開口されたコンタクトホールである。

さてここで、例えば、NMOS、PMOSのゲート長は1μm、ゲート幅は3μm、ゲート酸化膜200Åとなっている。また、入力ゲートとフローティングゲートの重なり面積はすべて同一で、4.5(μm)²となっており、また両者の間の絶縁膜818はSiO₂で、厚さは100Åとなっている。このときフローティングゲート

あり、5Vから0Vへの特性変化が急峻である。このように閾値V_{tn}、V_{tp}の組合わせにより、特性をコントロールすることができる。本発明の第7実施例は、低消費電力という優れた特性をもったCMOSであり、NチャネルCMOSとPチャネルCMOSが1つのフローティングゲートを共有し、お互いに相補的にON、OFFを行っているため、Complementary CMOS、略してC-CMOSと呼ぶ。

以上バルクSiウエハー上でCMOSをつくる場合についてのみ述べたが、たとえばSOI基板、つまり絶縁膜上に形成されたSi層内に本発明のデバイスをつくってもよい。

(第8実施例)

第9図は、C-CMOSを用いたニューロン素子の構成例であり、本発明の第8実施例を示している。901は、4つの入力ゲートを持ったC-CMOSを表す記号であり、902はCMOSのインバータである。903、904、905、906は、4つの入力電圧V₁、V₂、V₃、

805の電位をZとすると、

$$Z = 0.214 (V_1 + V_2 + V_3 + V_4) \quad \dots (11)$$

となる。ここで、V₁、V₂、V₃、V₄は、4つの入力ゲートへの入力電圧である。今、フローティングゲートからみたNチャネルCMOS801の閾値V_{tn}を1V、PチャネルCMOS802の閾値V_{tp}を-1Vと設計したとする。Zに対する815の電位V_{out1}を求めると、第8図(c)の実線のようにになる。Z<1Vのときは、NチャネルCMOS810がOFF、PチャネルCMOS802がONとなって、V_{out1}は5Vとなる。Z>4のときは、PチャネルCMOS802がONとなり、NチャネルCMOS801がOFFとなり、V_{out1}は0Vとなる。このように、低レベルが正確に出力されるだけでなく、低レベル出力時にも貫通電流の流れることがなく、極めて低消費電力のニューロン素子が形成できる。第8図(c)の破線で示したのは、V_{tn}=2V、V_{tp}=-2Vの場合のV_{out1}とZの関係で

V₄に、それぞれX₁、X₂、X₃、X₄の制御電圧で決定される重み係数W₁、W₂、W₃、W₄をかけて出力し、C-CMOSの入力ゲートに信号を供給する回路である。V_{out2}は、V_{out1}がHIGHレベルのときにLOW、V_{out1}がLOWレベルのときにHIGHレベルを出力する。V_{out2}のHIGH、LOWのいずれの場合にも、C-CMOS901、CMOSインバータ902には、どちらも貫通電流が流れていない。

第8図、第9図の例では、808-1~808-4はすべて入力ゲートとしたが、このうちの少なくとも1本を第6図で述べた制御ゲート605の如く用いてもよい。例えば、808-1に固定電位を与え、これにより、V_{tn}、V_{tp}をコントロールしてもよい。また、605の如き制御ゲートを別途設けてももちろんよい。更に、フローティングゲートへの電荷の注入等を利用してもよいことは言うまでもない。

次に、第3図及び第9図に用いた重みを掛

計算する回路(302-1~302-n、及び903、904、905、906)についての実施例について説明する。第10図は重み掛け算回路の1例を示す回路図である。例えば、1001はNMOSで、その閾値 V_{TH} は略々0Vに設定されている。 R_0 は抵抗であり、 R_x は入力電圧 X によってコントロールされる可変抵抗である。1002の電位を V_m とすると $V_m = V_{in} - V_{TH}$ で与えられるため、 $V_{TH} = 0$ とすると、 $V_m = V_{in}$ となる。従って、出力電圧 V_{out} は、

$$V_{out} = \frac{R_x}{R_0 + R_x} V_{in} \quad \dots (12)$$

で与えられる。

従ってこの回路は、 V_{in} という入力に対し、 $R_x / (R_0 + R_x)$ なる重み係数を掛けて出力する機能をもっている。このとき、入力電圧 X によって可変抵抗の値 R_x をコントロールできれば、重み係数を自在に変化させることができる。可変抵抗の実現方法としては、例えば第11図に示したように、1つのMOSFETを使用しても

$$I_0 = \frac{W}{L} \mu_n C_0 \left[(Z - V_{TH}) V_0 - \frac{1}{2} V_0^2 \right] \quad \dots (12')$$

ここで、 μ_n は電子の表面移動度、 C_0 はフローティングゲート下のゲート酸化膜容量である。また、

$$Z = W_1 V_1 + W_2 V_2 \quad \dots (13)$$

と表される。ここで、

$$W_1 = \frac{C_1}{C_0 + C_1 + C_2}$$

$$W_2 = \frac{C_2}{C_0 + C_1 + C_2}$$

である。

本発明の第9実施例を第13図に示す。ここに示される ν MOSにおいては、第1入力ゲート1201はドレインと接続され、第2入力ゲート1202には、一定電圧 V_2 が与えられている。(13)式において $V_1 = V_0$ とし、(12')式に代入すると、

よい。ゲートに一定の電圧 V_0 を印加しておくと、その電流電圧特性は同図に示したようになり、 V_0 の値によって変化する。従って、これを可変抵抗として用いることができる。しかし、図から明らかなように $I-V$ 特性の非線形性が大きく、回路設計には注意が必要である。

(第9実施例)

次に本発明の ν MOSを用いれば、非常に線形性の優れた可変抵抗の実現できることを次に示す。このことを説明するために、 ν MOSの特性を少し一般的に解析してみる。第12図は、2つの入力ゲート1201、1202をもつ ν MOSを記号で表したものであり、ソースをアース電位としたときのドレイン電圧を V_0 、入力ゲートの電圧を V_1 、 V_2 、フローティングゲート1203の電圧を Z と表す。また、この ν MOSのチャネル長、チャネル幅をそれぞれ L 、 W 、フローティングゲートからみた閾値を V_{TH} とすると、ドレイン電流 I_0 は次式で表される。即ち、

$$I_0 = \frac{W}{L} \mu_n C_0 \left[(W_1 V_0 + W_2 V_2 - V_{TH}) V_0 - \frac{1}{2} V_0^2 \right] \\ = \frac{W}{L} \mu_n C_0 \left[(W_1 - \frac{1}{2}) V_0^2 + (W_2 V_2 - V_{TH}) V_0 \right]$$

となる。

ここで、 $W_1 = 1/2$ とすると、 V_0^2 の項が消えて次式となる。

$$I_0 = \frac{W}{L} \mu_n C_0 [(W_2 V_2 - V_{TH}) V_0] \quad \dots (14)$$

第13図(b)に示すように I_0 は V_0 に比例し、 ν MOSは線形抵抗素子となるのである。この ν MOSの外部からみた直流抵抗値 R_x は、

$$\frac{1}{R_x} = \frac{W}{L} \mu_n C_0 (W_2 V_2 - V_{TH}) \quad \dots (15)$$

で与えられることになる。つまり、 V_2 の値によって抵抗値が制御できることになる。(15)式において、 $R_x > 0$ となるためには、

$$W_2 V_2 - V_{TH} > 0 \quad \dots (16)$$

となるように、 W_2 、 V_{TH} を設定しなくてはならない。 ν MOSをデプレッション形とすれば、 $V_{TH} < 0$ であり、(16)は常に満足される。また、

$W_1 = 1/2$ とするためには、

$$\frac{C_1}{C_0 + C_1 + C_2} = \frac{1}{2}$$

すなわち、

$$C_0 + C_2 = C_1$$

とする必要がある。これには、 C_0 の効果を小さくできる本発明の第5実施例である第5図の如き構造をとるのが有利である。第13図(a)の回路を第10図の R_x として用いれば、 V_2 の値によってその抵抗値を制御でき、理想的な重み掛け算回路が実現できる。このように ν MOSは、極めて有効な応用が可能であり、本発明による新しいトランジスタの幅広い応用性を示している。

上の解析はフローティングゲート内の電荷を0として行ったが、例えば Q_F なるチャージが存在するとすると(15)式の抵抗値は、次のように修正される。即ち、

$$\frac{1}{R_x} = \frac{W}{L} \mu_n C_0 (W_2 V_2 - V_{TH} + \frac{Q_F}{C_{TOT}}) \dots (15')$$

となる。第6図において第6実施例として述べた

り、その閾値は、それぞれ略々0Vに設定されている。 V_1, \dots, V_n は、正負の任意の値をもった入力である。 V_{out2} は、 $Z > V_{TH}$ ならば $+V_{DD}$ 、 $Z < V_{TH}$ ならば $-V_{DD}$ の値をとる。さてここで、1408の回路動作について考えてみる。 V_{out2} が正の場合には、PMOS1405はOFFとなり、1408は第14図(b)のようになる。即ち、

$$V_{out3} = \frac{R_x}{R + R_x} V_{out2} \dots (17)$$

となり、 V_{out3} は正の値が出力される。

また一方、 V_{out2} が負の場合には、NMOS1406がOFFとなり、1408は第14図(c)となる。即ち、

$$V_{out3} = \frac{R_x}{R + R_x} V_{out2} \dots (18)$$

となって、今度は負の値が出力されることになる。つまり、正負も考慮して重み係数の掛け算ができるのである。1408の如き回路を、例えば第8図(c)の903~906に用いることによ

うに、フローティングゲート内への電子の注入、あるいはフローティングゲートからの電子の放出を利用して抵抗値を記憶させることができる。この場合、 V_2 は電荷の注入を行う場合のみ電圧を印加すればよく、通常動作では一定値に保っておけばよい。

(第10実施例)

これまで述べてきたニューロン回路は、すべて正の電源電圧 V_{DD} を1つ用いて構成されていた。従って、信号はすべて正の値のみであり、負の値は扱うことができなかった。第14図(a)は、正負の信号を自在に扱える本発明第10実施例で説明する回路図である。1401は、第8図で述べた如き $C-\nu$ MOSであるが、Nチャネル ν MOSのソース1402は負の電源電圧($-V_{DD}$)に接続されている。1403はCMOSのインバータであり、やはりNMOSのソース1404は($-V_{DD}$)に接続されている。1405、1406はそれぞれPチャネルMOSFET及びNチャネルMOSFETであ

り、正負の信号を扱えるニューロン回路が構成できるのである。また、本回路における可変抵抗素子として、本発明の第9実施例の如き ν MOS回路も用いればよいことは、言うまでもない。

(第11実施例)

ν MOSは、以上に述べたニューロンコンピュータ回路用素子として様々な有用な応用以外にも、まだ多くの特徴ある応用が可能である。

第15図は本発明の第11実施例を示す回路図である。1501は、4入力の ν MOSであり、それぞれに V_1, V_2, V_3, V_4 の入力電圧が入力されている。フローティング電極の電圧を Z とすると、 $Z = W_1 V_1 + W_2 V_2 + W_3 V_3 + W_4 V_4$ と表され、今、フローティングゲートからみたこのMOSの閾値を V_{TH} とすると、

$$V_{out} = Z - V_{TH} \text{ となる。}$$

V_{TH} を略々0Vに設定すると、

$$V_{out} = W_1 V_1 + W_2 V_2 + W_3 V_3 + W_4 V_4$$

となり、入力電圧の、線形加算値を出力する回路となる。この様な機能は、例えば多値論理回路に

は非常に有用な回路であり、これまで電流の加算性を応用して電圧の加算演算を行っていたのに較べると消費電力が非常に小さくなる。また、単一の素子で実現できるため、集積度の著しい向上がはかれるのである。

(第12実施例)

第16図は、第15図の回路を応用したニューロン回路の構成例であり、本発明の第12実施例を示す。 V_{out} の出力が2段のインバータ1602、1603を経て V_{out2} が出力されている。インバータ1602の閾値を V_{TH} とすれば、

$$W_1 V_1 + W_2 V_2 + W_3 V_3 + W_4 V_4 > V_{TH}$$

で、 V_{out} にはHIGHの信号が出てくる。即ち、ニューロンの機能を果たすことは明らかである。1602、1603のインバータは、NMOSのE-R型、E-E型、E-D型、あるいはCMOS型のいずれであってもよい。

(第13実施例)

第17図は、本発明の第13実施例を示す

(第14実施例)

第18図は、本発明の第14実施例を示す図面で、2つの入力ゲート： V_0 、 V_c をもつ ν MOSである。フローティングゲートの電位を Z とし、フローティングゲートからみた閾値を V_{TH} とすると、

$$Z = W_1 V_0 + W_2 V_c$$

と表され、 $Z > V_{TH}$ でトランジスタがONする。つまり

$$W_1 V_0 + W_2 V_c > V_{TH} \text{ より、}$$

$$V_0 > \frac{1}{W_1} (V_{TH} - W_2 V_c) \quad \dots (20)$$

のとき、この ν MOSはONする。即ち、この ν MOSを V_0 をゲートとする単一のMOSFETであると考え、

$$V_{TH}^* = \frac{1}{W_1} (V_{TH} - W_2 V_c) \quad \dots (21)$$

なる新たな閾値をもったトランジスタとみなすことができる。しかも、(21)式より明らかなように、この閾値は外部から加える電圧 V_c によって

ν MOSの構造図である。4つの入力ゲートとフローティングゲートとの容量結合係数を、 C_1 、 C_2 、 C_3 、 C_4 とし、 $C_2 = 2C_1$ 、 $C_3 = 4C_1$ 、 $C_4 = 8C_1$ とすると、フローティングゲートの電位 Z は、

$$\begin{aligned} Z &= \frac{C_1}{C_{TOT}} V_1 + \frac{C_2}{C_{TOT}} V_2 + \frac{C_3}{C_{TOT}} V_3 + \frac{C_4}{C_{TOT}} V_4 \\ &= \frac{C_1}{C_{TOT}} (V_1 + 2V_2 + 4V_3 + 8V_4) \quad \dots (19) \end{aligned}$$

と表される。今、 V_1 、 V_2 、 V_3 、 V_4 を1、あるいは0とすると、(19)式の $(V_1 + 2V_2 + 4V_3 + 8V_4)$ 内の数は2進数 (V_4, V_3, V_2, V_1) を10進数で表した値に等しい。つまり、 Z は2進数を10進数に変換した数に比例した電圧値となっている。従って、第17図の ν MOSを第15図の ν MOSとして用いると、 V_{out} は2進数 (V_4, V_3, V_2, V_1) をD-A変換した出力が得られるのである。このように、たった1個の ν MOSを用いてD-A変換を行うことができる。これも ν MOSの非常に重要な応用である。

変化させられるのである。このように、外部信号によって可変な閾値を有するトランジスタは、これまで存在しなかった。このようなトランジスタは、例えば多値論理集積回路構成上、非常に重要な回路素子であり、様々な工夫、アイデアが出されてきたが、 ν MOSを用いれば、このように簡単に実現できるのである。

[発明の効果]

以上述べたように、本発明の ν MOSは従来困難とされていたニューロン・コンピュータを低消費電力で、且つ、高集積度で実現することができるばかりでなく、D-A変換器や、線形加算器、閾値可変トランジスタなどアナログ回路、多値論理集積回路等、様々な応用分野に適用可能な優れた半導体装置である。

4. 図面の簡単な説明

第1図は第1実施例を説明するための図であり、第1図(a)は装置の断面図、第1図(b)は等価回路図、第1図(c)は回路概念図、第1図(d)は変形例の回路構成図、第1図(e)は

特性を示すグラフ、第1図(f)は平面図、第1図(g)は第1図(f)のY-Y'断面図である。

第2図は、第2実施例を説明するための図であり、第2図(a)は装置の平面図、第2図(b)は第2図(a)のX-X'断面図、第2図(c)は第2図(a)のY-Y'断面図である。

第3図は、第3実施例を説明するためのブロック図である。

第4図は、第4実施例を説明するための装置の断面図である。

第5図は、第5実施例を説明するための図であり、第5図(a)は装置の平面図、第5図(b)は第5図(a)のX-X'断面図である。

第6図は、第6実施例を説明するための装置の断面図である。

第7図は、変形例を説明するための回路図である。

第8図は、第7実施例を説明するための図であり、第8図(a)は装置の平面図、第8図(b)

は第8図(a)のX-X'断面図、第8図(c)は特性を示すグラフである。

第9図は、第8実施例を説明するための回路図である。

第10図および第11図は、変形例を説明するための回路図である。

第12図は、第9実施例を説明するための回路図である。

第13図は、第9実施例を説明するための図であり、第13図(a)は回路図、第13図(b)は特性を示すグラフである。

第14図は、第10実施例を説明するための回路図である。

第15図は、第11実施例を説明するための回路図である。

第16図は、第12実施例を説明するための回路図である。

第17図は、第13実施例を説明するための回路構成概念図である。

第18図は、第14実施例を説明するための回

路構成概念図である。

第19図は、従来例を説明するための図であり、第19図(a)は回路概念図であり、第19図(b)は特性を示すグラフである。

第20図は、従来例を説明するための回路図である。

(符号の説明)

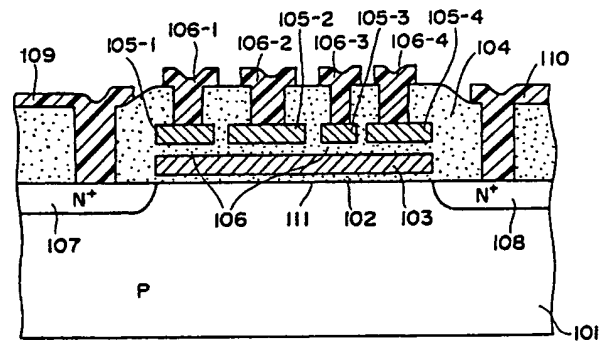
102-1, 102-2, 102-3…は演算増幅器(オペアンプ)、101…P型Si基板、102…ゲート酸化膜、103…ゲート電極、104…絶縁膜、105-1~105-4…ゲート電極、106…絶縁膜、106-1~106-4…Al配線、107…ソース、108…ドレイン、109…Al配線、111…Si基板表面、201…フローティングゲート、202…ゲート酸化膜、203…フローティングゲート、204…絶縁膜、205-1~205-4…入力ゲート、206…絶縁膜、206-1~206-4…入力ゲートに接続されたAl配線、207…ソー

ス、208…ドレイン、209, 210…Al配線、301…ニューロン素子、303…信号電圧の入力端子、304…出力端子、305…制御信号X₁の入力端子、401-1, 401-3, 401-5…入力ゲート、402…絶縁膜、403…フローティングゲート、404…熱酸化膜、405…P型Si基板、406…フィールド酸化膜、407…Al配線、501…フィールド酸化膜、502…ソース、503…ドレイン、504…フローティングゲート、505…入力ゲート、603…フローティングゲート、604…入力ゲート、605…制御ゲート、606…酸化膜、607…ゲート酸化膜、608…酸化膜、701…モードMOSトランジスタ、702…Nチャネルエンハンスメントモードトランジスタ、801…NチャネルMOS、802…PチャネルMOS、803…P型基板、804…N型基板、805…フローティングゲート、806, 807…ゲート絶縁膜、808-1~808-4…入力ゲート、809…ソース、810…ド

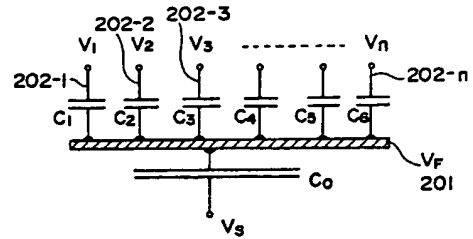
レイン、811…ソース、812…ドレイン、
 813、814、815…A₂配線、816…
 A₂配線下の絶縁膜、817、817'、
 817'', 817'''…コンタクトホール、
 818…絶縁膜、901…C- ψ MOS 902…
 CMOSのインバータ、808-1~808-4
 …入力ゲート、1001…NMOS、1201、
 1202…入力ゲート、1203…フローティン
 グゲート、1401…C- ψ MOS、1402…
 ソース、1403…CMOSのインバータ、
 1404…ソース、1405…PMOSFET、
 1406…NMOSFET、1501… ψ MO
 S、1602、1603…インバータ。

第 1 図

(a)

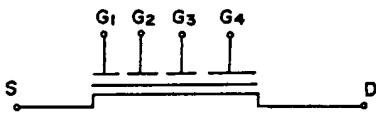


(b)

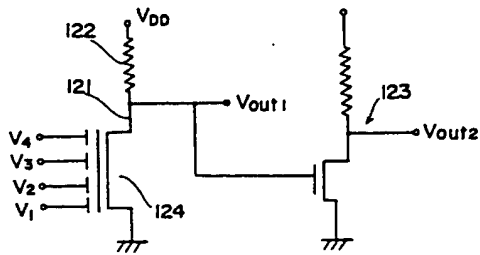


第 1 図

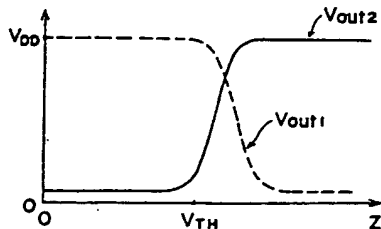
(c)



(d)

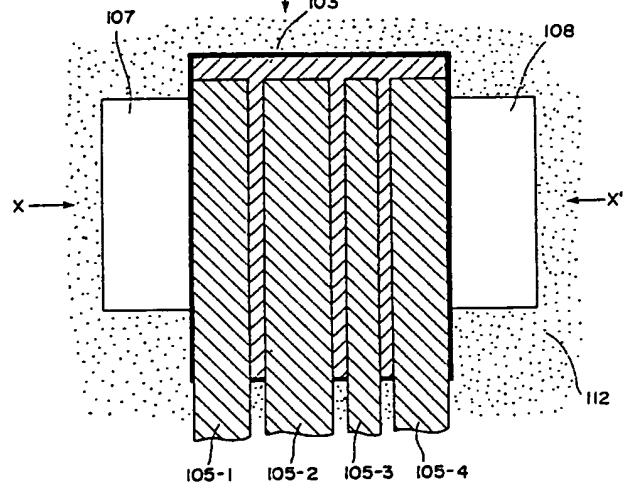


(e)

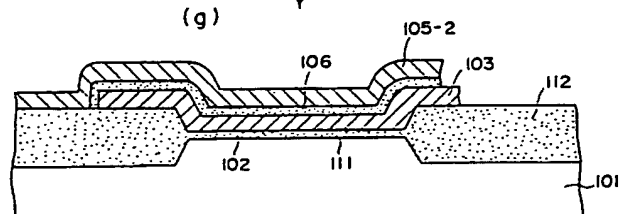


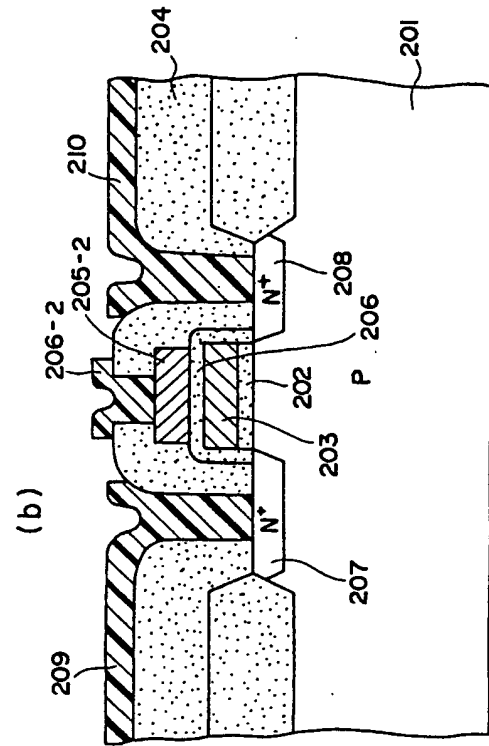
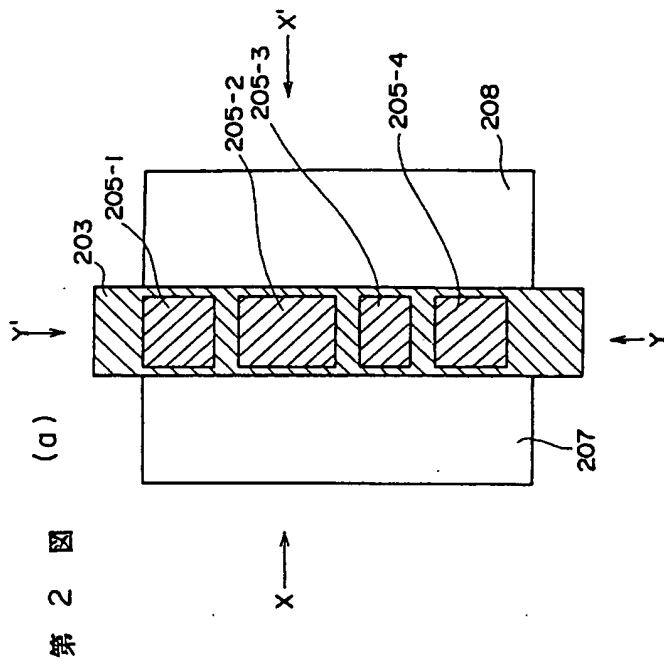
第 1 図

(f)

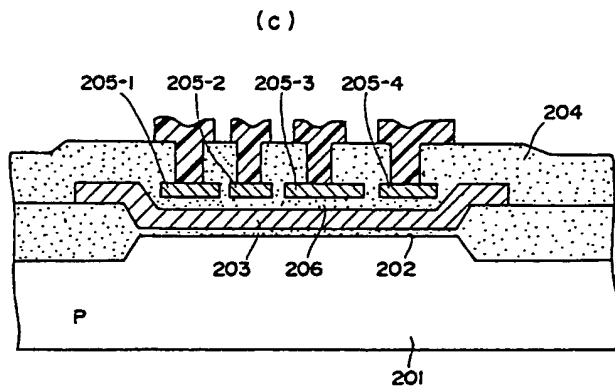


(g)

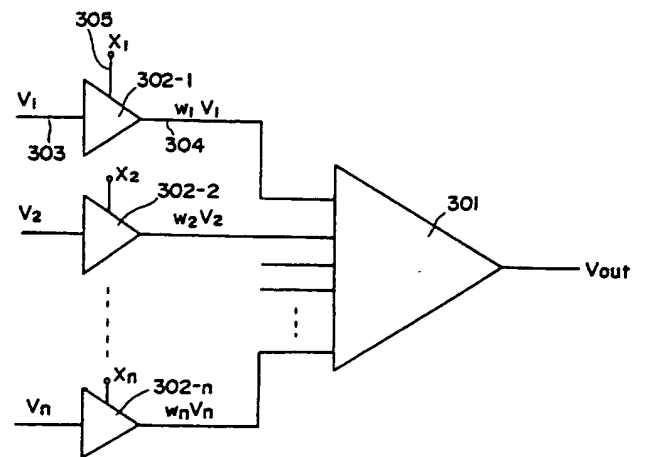




第 2 図

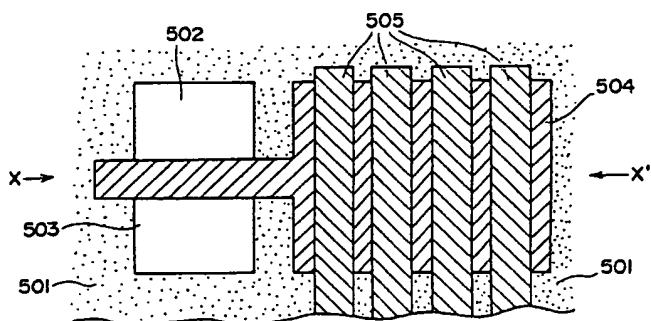


第 3 図

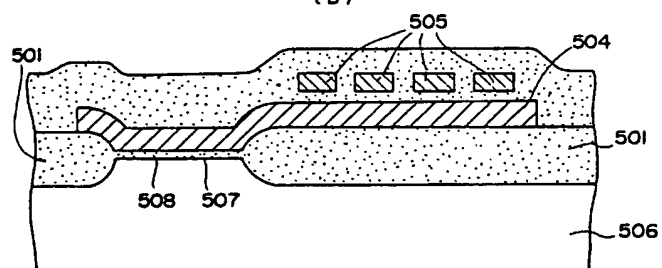


第 5 図

(a)

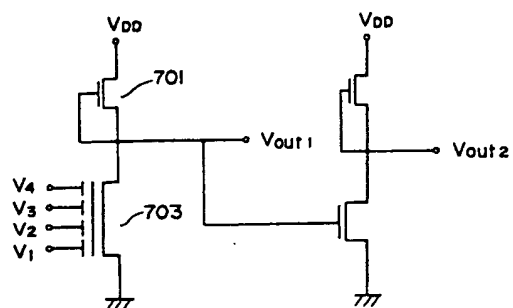


(b)

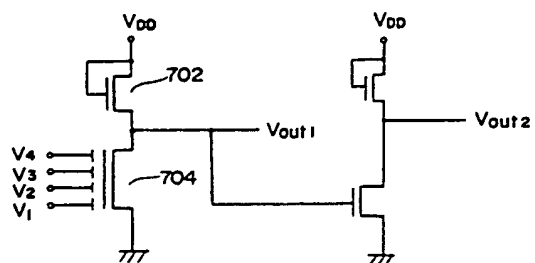


第 7 図

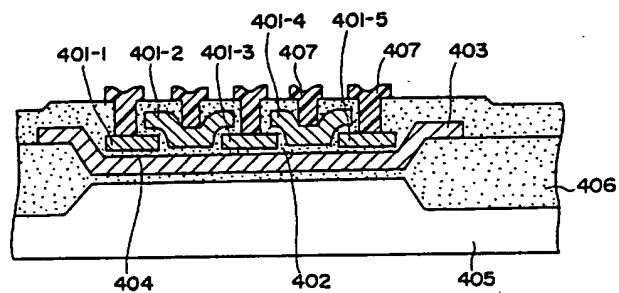
(a)



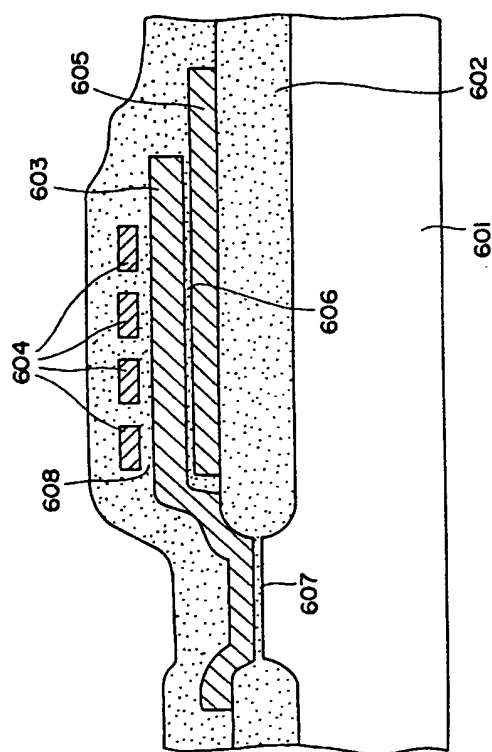
(b)



第 4 図

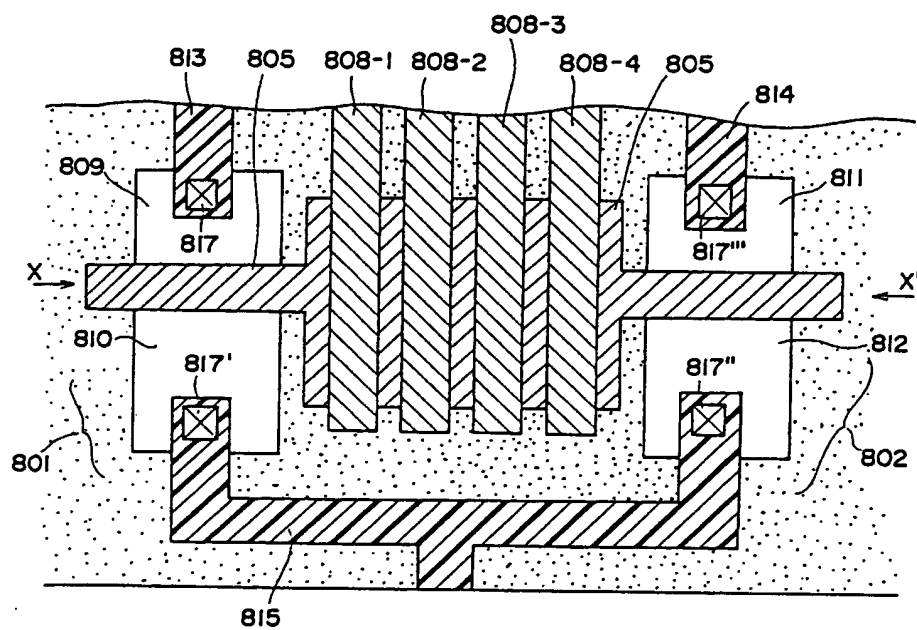


第 6 図



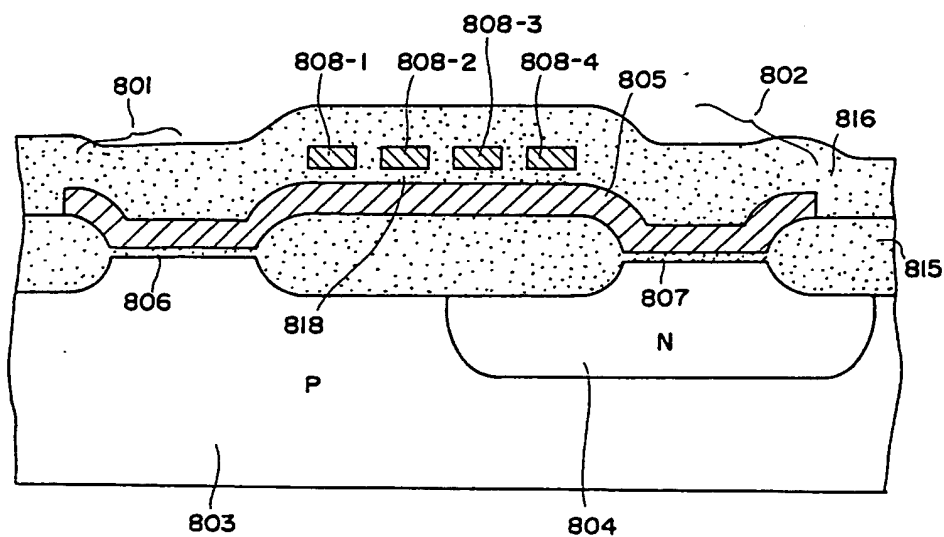
第 8 図

(a)



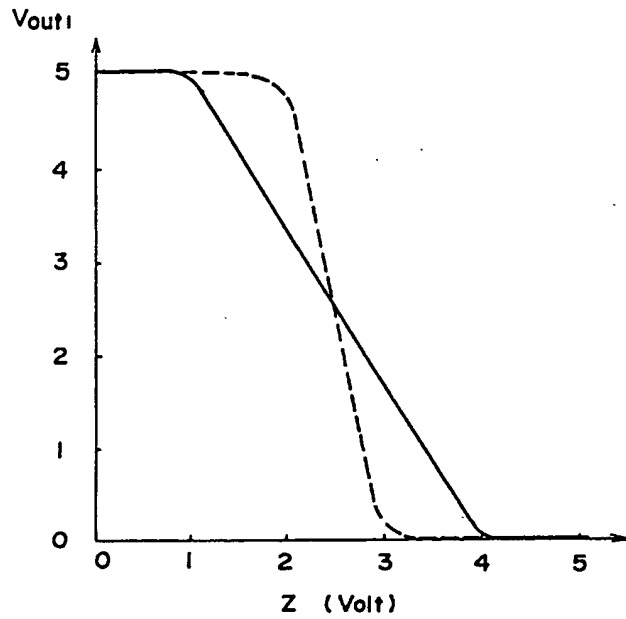
第 8 図

(b)

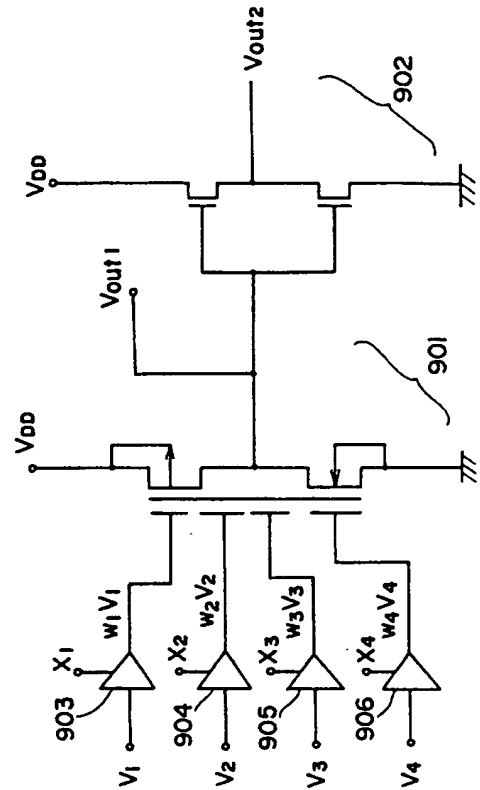


第 8 図

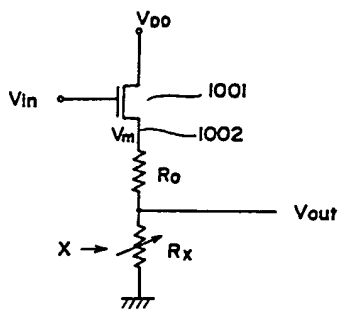
(c)



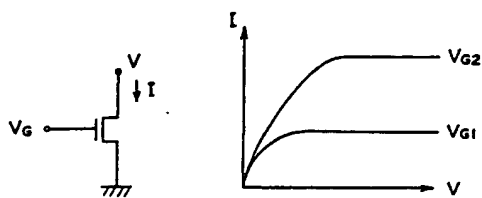
第 9 図



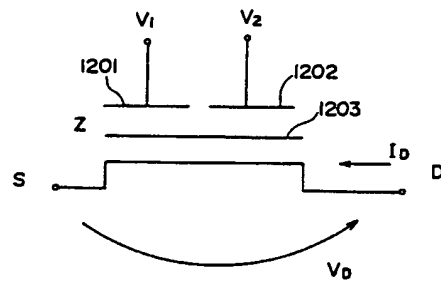
第 10 図



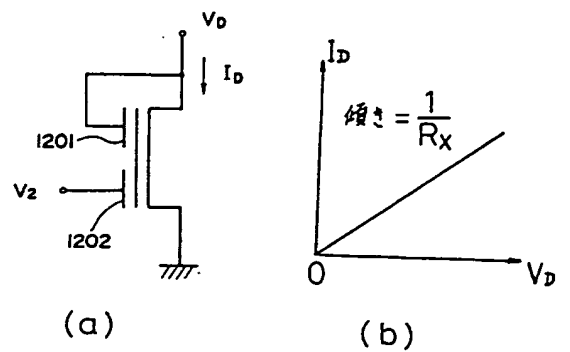
第 11 図



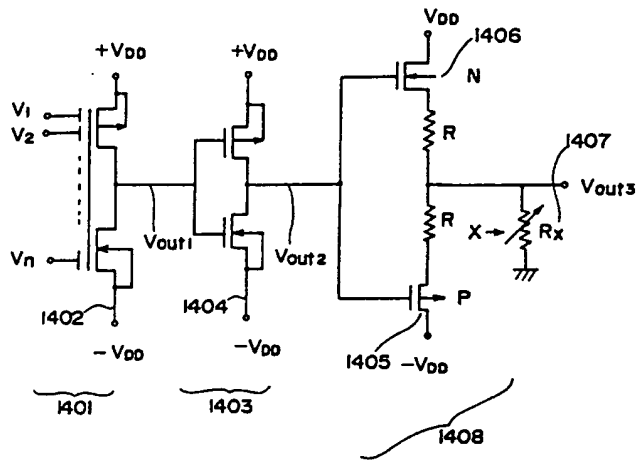
第 12 図



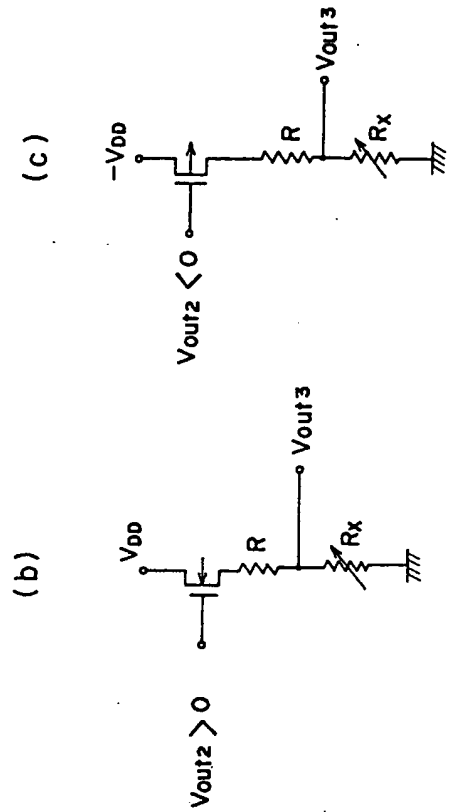
第 13 図



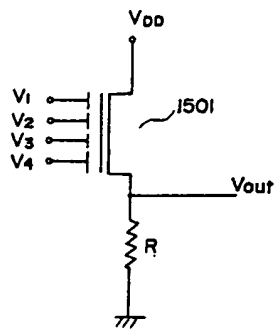
第 14 図



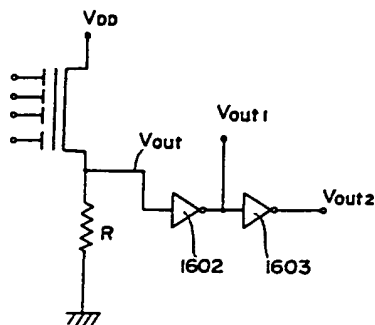
第 14 図



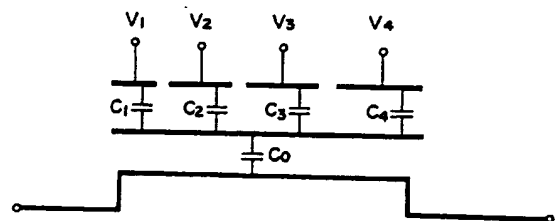
第 15 図



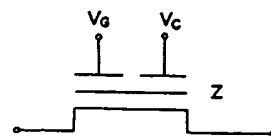
第 16 図



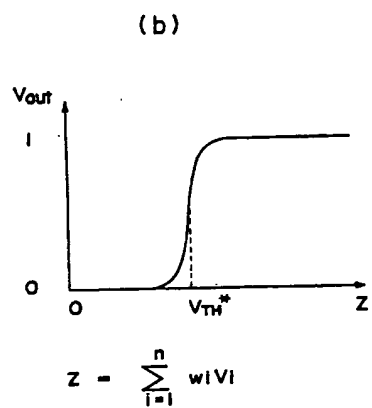
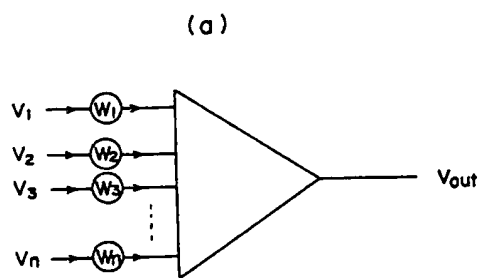
第 17 図



第 18 図



第 19 圖



第 20 圖

